

EUROPEAN PATENT OFFICE

B

Patent Abstracts of Japan

PUBLICATION NUMBER : 01287965
PUBLICATION DATE : 20-11-89

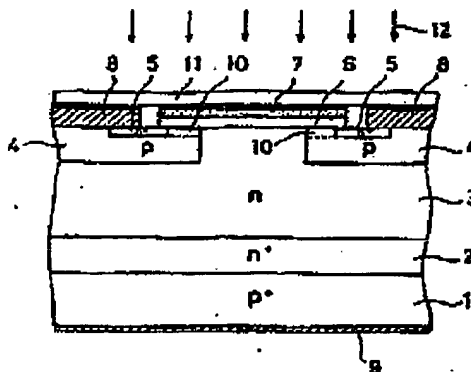
APPLICATION DATE : 13-05-88
APPLICATION NUMBER : 63117385

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : HAGINO HIROYASU;

INT.CL. : H01L 29/78 H01L 21/322 H01L 29/68

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : **PURPOSE:** To suppress a decrease in a threshold voltage value within an allowable range, and to perform a high speed operation by manufacturing an insulated gate type transistor on a semiconductor substrate, and irradiating a coating material covering the surface of the transistor with an electron beam.

CONSTITUTION: A source electrode 8 made of metal such as aluminium or the like for electrically connecting an n-type source region 5 to a p-type base region 4 is formed, and a drain electrode 9 ohmically connected to a p+ type drain layer 1 is formed. The surface of an IGBT (conductivity modulation element) wafer formed in this manner is covered with a thin film 11 having approx. 100μm of thickness, and the film 11 is irradiated with an electron beam 12 to damage an n-type body layer 3, thereby shortening the life time of holes. Thus, a variation in the threshold value voltage based on the irradiation with the electron beam is suppressed in an allowable range, and an insulated gate transistor having short turning OFF time can be manufactured.

COPYRIGHT: (C)1989,JPO&Japlo

日本國特許庁(JP)

中國特許出版公司

●公開特許公報(A) 平1-287965

Int Cl:

雜誌記号

片内雙眼番号

●公開 平成1年(1989)11月20日

H 01 L 29/78
21/322
29/88

3 2 1

J-8422-SF
L-7798-SF

3828-3F 産産請求 未請求 請求項の数 1 (全5頁)

④発明の名称 半導体装置の製造方法

④4 限 4389-117385

●出 版 日 期 1988 年 5 月 13 日

② 用 者 枝 野 浩 昭 兵庫県伊丹市境隈4丁目1番地 三晃電機株式会社伊丹製作所内

出 版 人 三 菱 電 機 株 式 会 社 東 京 都 千 代 田 区 丸 の内 2 丁 目 2 番 3 号

代理人 弁理士 大橋 増雄 外2名

璃 蟹 属

1. 尾端の境界

中藥飲宜服仍須起方成

2. 投資請求の範囲

(1) 華僑陸區醫學會與中華醫學會之工務上、

他記号等は毎組上に記述ゲート型トランジスタを参照する所と、

府第第2工段で建設された防犯トランプスチの
柱面上を被覆物で覆う第3工段と、

加配トランジスタの位置は温度上昇の感度差を
図解する第4工程をききながら調整作業の製造方法。

3. 抽籤の準備と抽籤

【調査上の利用分等】
この発明は、絶縁コート被アランヌメタのターニ
ャフ時、四国産海苔の加工工程や製法の改良等に役立
つるものである。

(應用例証版)

第4項は従前のオプ・ネル電圧調整用の可変抵抗素子1GΩ(Insulated Zero Bipolar Transistor)を主とするものである。

前項において、1は0°平面体基盤から成る

D⁺ドレイン管であり、その一方主面上にはナリヤを形成するためのD⁺バッファ層2が形成されている。このD⁺バッファ層2の下面とはロホディ層3が形成されている。このロホディ層3の下面の一部領域には、D層不純物をイオン注入あるいは蒸着することによりドーパーストック4が形成され、さらにこのドーパーストック4の下面の一部領域には、高濃度のD層不純物をイオン注入あるいは蒸着することによりD⁺ソース領域5が形成されている。ロホディ層3の下面とD⁺ソース領域5の下面とで挟まれたドーパーストック4の側面上にゲート電極6も形成され、このゲート電極6は両端は開放する。このD⁺ソース領域5となるようロホディ層3の下面にも形成されている。ゲート電極6の上には例えばポリシリコンから成るゲート絶縁層7が形成され、さらにドーパーストック4およびD⁺ソース領域5の両方に電気的に接続するようにつくればアルミなどの金属のソース電極8が形成されている。また、D⁺ドレイン管1の下面に

は金属のドレイン電極と金属IGBTセルに同じ一様に形成されている。

ロネダイ層と n^+ ソース領域とで挟まれたロベース領域4の道筋はリチャネルのMOS構造となっており、ゲート電極7が正、ソース電極8が負となるゲート電圧 V_g ($> V_{th}$ (閾値電圧))を印加することにより、ゲート電極7直下のロベース領域4の表面近傍のチャネル領域10が形成される。このチャネル領域10を通じて、電子が n^+ ソース領域8よりロネダイ層3へと流れる。一方、 p^+ ドレイン層1から少数キャリアである正孔がロネダイ層3に注入され、その一部は上記電子と再結合して消滅し、残りは正孔電流としてロベース領域4を流れる。この様にIGBTでは、局所的にバイポーラ的な動作をし、ロネダイ層3では、正孔による低電流密度の移動により電流が流れることにより、従来のパワーMOSに比べて低いオン抵抗、大きい増幅率を実現できる利点がある。

通常のMOSFETでは、500Vを超えるよ

特開平1-287865 (2)

うな高耐圧素子ではロネダイ層3のオン抵抗を非常に大きくする必要があるが、IGBTでは低電流密度により高耐圧なロネダイ層3の低抵抗を有しく下げることが可能となり、高電圧でかつオン抵抗の低い素子を実現できる。

(発明が解決しようとする課題)

従来のIGBTでは以上のようになっている。

また、負のゲート電圧 ($-V_g$) を印加することにより、IGBTをオフさせることができ、チャネル領域10の導電率が $n=0$ になり電子はすぐに消滅するが、 p^+ ドレイン層1から注入された正孔は消滅する以外にない。従って、正孔のライフタイムが長いとターンオフ時間が長くなり高耐圧素子に要求をきたす原因点であった。

正孔の寿命を短くする方法の一つとして完成したIGBTへの電子移動機構が挙げられる。この電子移動機構によりロネダイ層3に熱電を有えることで、正孔のライフタイムを短くできる。

しかしながら、電子流を生成することによりゲート電極8にも電荷を帯び、さらに移動する

素子が空気中の酸素と反応しオゾンが大量に発生する。このオゾン等のイオンがIGBT素子に作用して素子に損傷することによりチャネル領域10が形成され、電圧が下がりIGBTの耐電圧 V_{th} が下がる (低下) してしまう。両方とも電子線の照射量と電圧 V_{th} の低下と V_{th} を低下させるグラフであるが、両方に示すように、電子線の照射量の増加に伴い、耐電圧 V_{th} が大きく低下してゆく。

そこで300℃程度の加熱後(2段階加熱)により電子線照射後の耐電圧 V_{th} の低下及びロネダイ層3の損傷を回復(アニール)させている。また、IGBT動作時の温度上昇に伴うアニールにより、動作中にける耐電圧 V_{th} はターンオフ時間の増加を招くためにも、予め300℃程度の加熱によるアニールが必要である。

しかし V_{th} の低下が大きすぎると、 V_{th} の低下を回復範囲内に回復させるために450℃程度の温度での加熱が必要となり、ロネダイ層3の損傷をほとんど回復させてしまうことになってしまう。結局正孔のライフタイムは電子移動機構の状

態に異なってしまうという問題点があった。

この発明は上記のような問題点を解決するためのにせられらるもので、高耐圧素子の電圧を安定させるために半導体素子の製造方法を提供することを目的とする。

(問題を解決するための手段)

この発明にかかる半導体素子の製造方法は、半導体素子を準備する第1工程と、前記半導体素子上に前記ゲート電極トランジスタを形成する第2工程と、前記第2工程で形成された前記トランジスタの表面を半導体で覆う第3工程と、前記トランジスタの前記被覆層上より電子線を照射する第4工程とを含む。

(作用)

この発明にかかるトランジスタへの電子線の照射は、被覆層を介して行われるため、空気中のオゾン等のイオンがトランジスタ表面に吸収することはない。

(発明の効果)

第1工程はこの発明の一実施形態であるIGBTの

自由は政治制度の基盤である。

以下、第1図を参照して1GBTの製造方法を示す。まず、ホロン等の不純物を有する比較的低圧の0.01GB程度のp⁺ドレイン層1上に、厚さ20μm、比較的高圧0.10GB程度のn⁺パワファ層2をエピタキシャル成長により形成する。さらに連続的にエピタキシャル成長により約0.02GBの高圧基底の4μmゲイム3を100μm程度の厚さで形成する。ホロン層3は上記した準導、抵抗率が1000Ω・cm程度の材料を用いた。

ロホディ図2に全膜に厚さ1G00Å絶縁の膜を成膜形成し、この絶縁膜上にポリシリコン膜を形成する。この時の絶縁膜、ポリシリコン膜に対する厚さ割合によってゲート膜を形成するゲート電極を形成し、このゲート電極をマスクとしてイオン注入によりホロンを注入し、ロホース膜を4μm程度する。さらに同じくゲート電極をマスクとしてシリコン、にホロンの不均質を注入する。ロホース膜を4μm程度又はイオン注入によって形成する。次にロホース膜を4μm程度とロホース膜を4μm程度

倍率 $\times 10^{14}$ /cmの原子核を生成した場合、フィルム調11を有したIGBTで-10V偏置、フィルム調を有しなかったIGBTで-28V偏置の両側照度密度 ΔV_{eff} がみられた。

次に、フィルム厚1 μ を破り、荷電電圧を ΔV_{10} に設定するための絶縁層を作る。破る際は、フィルム厚の不均一による電子荷電崩壊の10BTのアニール温度と荷電電圧の両方、及びアムール厚とターンオフ時間の関係を示したグラフである。図5に示すように、-2、-3V程度の荷電電圧を ΔV_{10} に設定する際は、電子荷電崩壊にフィルム厚1 μ を有した10BT（図中L3で示す）の両端電圧 V_{10} は32 μ V~330 μ V程度で破れる。一方、フィルム厚1 μ を有さなかった10BT（図中L4で示す）は330 μ V以上のアニール温度が必要である。

一方、アニール温度により、ホウ素が、異なる位置に移動することによるターゲッティング現象は、患者の照射時のフィルム面の有無に敏感なく、同一である（図中も5で示す）。従って、照射後、患者を移動時にフィルム

持照号 1-287965 (8)

第的に供給したアルミ等の食料よりなるソース電板を用成し、さらにそのドレイン部にオーミック抵抗とされるドレイン電極層が形成される。

このようにして撮影された1GBTアエハの波面を約100μmの粗度の薄いフィルムにうつして乾く。このフィルムを第11による無塩酸、ポリイミドやレジスト等を塗布にしスピナー等でコーティングすることで絶縁に相当させたフィルムを成すことにより得られる。そして、第1層で成すようにフィルムを第11上から第2層12を同様に成すことにより第2層12に絶縁を与え、正負のライフタイムを短くする。第2層はフィルム第11や無塩酸による1GBTの電子輸送特性と銀塩水酸化銅 Cu_2O の薄膜を示すグラフである。図面に示すようにフィルムを第11を有する1GBT（図中11で示す）の方が、フィルム層を有さない1GBT（図中12で示す）より、電子輸送特性にあつて顕著な変化は Cu_2O は半分以上で透過に与らわっていることがわかる。一例を挙げると、厚さ1500Åのゲート電圧特性を示す1GBTに加電圧1Mv、ドーズ

図 11 を示した Γ の BT は $3.20 \sim 3.30$ の間で図 9 の最短で観測電圧 V_{th} が出現するためターンオフ時間は $1 \mu s$ 程度であるのに対して、電子順磁的にフィルム磁石 1 層しの Γ の BT は 3.60 の以上の最短で観測電圧 V_{th} が出現するため、 $4 \sim 5 \mu s$ 程度、電子順磁石 2 層の構造に異なってしまう。

このように、フィルム数11を形成した10日
下より電子を照射すること、オゾン等のイ
オンが10日下ウエハ表面に堆積するのを防止に助
け、高電圧正電圧 V_{11} を極小値に抑制できる。
このため、ホモゲニウムの探検会に阻害する以
外のアニール原因で異質電圧 V_{11} の増大に与じ
る阻害はなくなる。従ってターンオフ時間の遅延を
減らす。

なお、フィルム展11の抄写方法は左巻巻に示した以外に右巻の磁やポリエチレンで覆をつくり、その裏の中央にQBTウエハを入れたる如く、海綿を裏面に付けてもよい。しかしながら、18日以下の製造ラインに電子線照射機がインラインの下に設置されていなければ、実用時に現しに可成

が表面化している。

また、フィルム層11の厚みは1QBTへの電子線の透過率を有して十分に覆う必要がある。加減厚さ0.7~1.4μm程度で覆う場合は100~200Åは厚膜層下にあることが望ましい。

また、この実施例ではリチャード1QBTに關して述べたが、リチャード1QBTにも適用可能である。

(発明の効果)

以上説明したように、この発明によれば、トランジスタへの電子線の照射を透過率を介して行うため、比較的低いアニール温度で安定した負電圧に照射することができ、ターンオフ時の強い熱電ゲート型トランジスタを製造することができる可能性がある。

4. 図面の図示の説明

図1図はこの発明の一実施例である1QBTの製造方法を示す1QBTの断面図、図2図はこの発明により製造された1QBTにおける電子線照射量と負電圧変化の関係を表すグラフ、図3図

特開平1-287985(4)

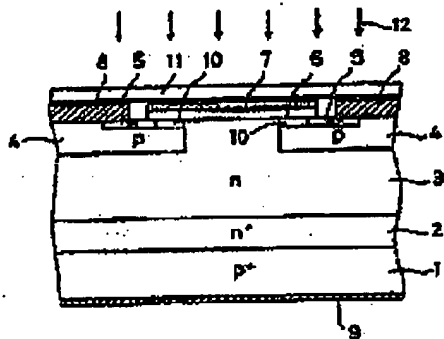
はアニール温度と1QBTの負電圧変化を表すターンオフ時の関係を表すグラフ、図4図は従来の1QBTを表す断面図、図5図は従来の1QBTにおける電子線照射量と負電圧変化の関係を表すグラフである。

図において、11はフィルム層、12は電子線である。

なお、各図中同一符号は同一または相当部分を示す。

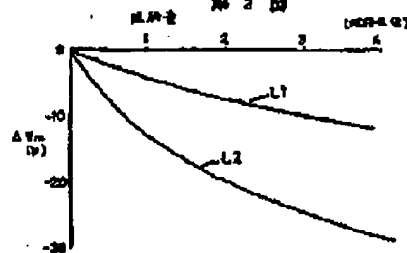
代理人 大 田 野 敏

第 1 図

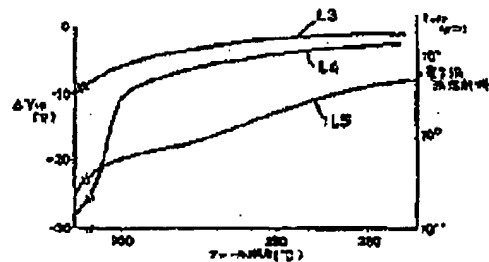


11-----フィルム層
12-----電子線

第 2 図

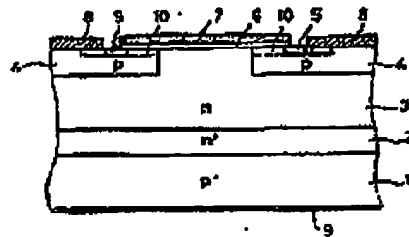


第 3 図



特開字1-287965 (5)

第 4 圖



第 5 圖

